

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-099796

(43)Date of publication of application : 11.04.1995

(51)Int.Cl.

H02P 8/38

(21)Application number : 05-239778

(71)Applicant : FUJITSU TEN LTD

(22)Date of filing : 27.09.1993

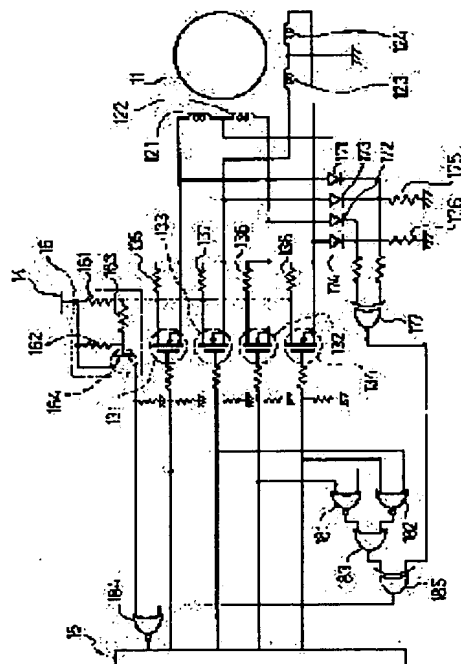
(72)Inventor : SATO MASAOKI

(54) DRIVING DEVICE FOR STEPPING MOTOR

(57)Abstract:

PURPOSE: To enable reliable detection of disconnection or short circuit of a coil by a simple circuit.

CONSTITUTION: Pull-up resistors 135 to 138 are provided in parallel with switching elements 131 to 134 switching an exciting current for a coil of a stepping motor, while they are grounded through diodes 171 to 174 and pull-down resistors 175 to 176. The anode sides of the diodes are collected in a disconnection detection signal by a first exclusive OR circuit 177. Between a power supply bus 14 and the switching elements, a short-circuit detecting circuit 16 is provided and it is collected in an abnormality detecting circuit by third to sixth OR circuits 181 to 184 and a second exclusive OR circuit 185. According to this constitution, reliable detection of disconnection and short circuit of the coil is enabled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

- [Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-99796

(43)公開日 平成7年(1995)4月11日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 P 8/38		9063-5H	H 0 2 P 8/ 00	S

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21)出願番号 特願平5-239778

(22)出願日 平成5年(1993)9月27日

(71)出願人 000237592

富士通テン株式会社

兵庫県神戸市兵庫区御所通1丁目2番28号

(72)発明者 佐藤 雅昭

兵庫県神戸市兵庫区御所通1丁目2番28号

富士通テン株式会社内

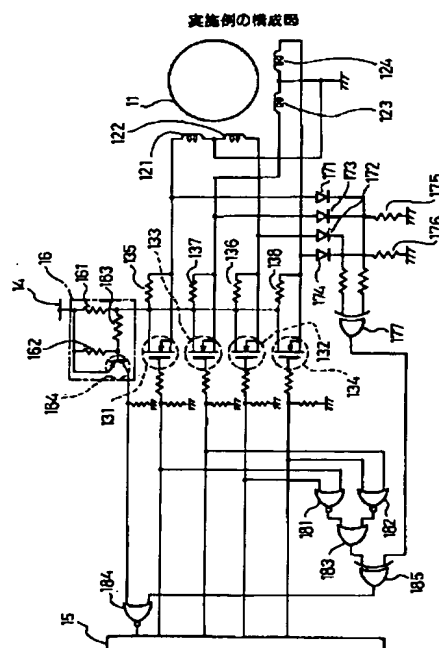
(74)代理人 弁理士 宇井 正一 (外4名)

(54)【発明の名称】 ステッピングモータの駆動装置

(57)【要約】

【目的】 簡易な回路によってコイルの断線あるいは短絡を確実に検出することの可能なステッピングモータの駆動回路を提供する。

【構成】 ステッピングモータのコイルに対する励磁電流を接断するスイッチング素子131~134と並列にプルアップ抵抗135~138を設けると共に、ダイオード171~174、プルダウン抵抗175、176を介して接地する。ダイオードのアノード側は第1の排他的論理和回路177によって断線検出信号にまとめられる。電源バス14とスイッチング素子との間には短絡検出回路16が設けられ、第3から第6の論理和回路181~184および第2の排他的論理和回路185によって異常検出回路にまとめられる。これによりコイルの断線および短絡を確実に検出することが可能となる。



(2)

特開平7-99796

1

【特許請求の範囲】

【請求項1】 円筒状のステータの内面に90度間隔に設けられた第1、第2、第3および第4の極に巻回され、それぞれの巻線の一方の端子が共通に接地される第1、第2、第3および第4のコイルの他方の端子と、電源バスとの間に設置される第1、第2、第3および第4のスイッチング素子と、

前記第1、第2、第3および第4のスイッチング素子に対して2相励磁信号を供給する制御部と、からなるステッピングモータの駆動装置において、

前記第1、第2、第3および第4のスイッチング素子に並列に設置され、前記第1、第2、第3および第4のコイルの直流インピーダンスに比較し大である同一の抵抗値を有する第1、第2、第3および第4のプルアップ抵抗と、

第1の入力端子が前記第1のコイルの他方の端子に、第2の入力端子が前記第2のコイルの他方の端子に接続される第1の論理和演算手段と、

第1の入力端子が前記第3のコイルの他方の端子に、第2の入力端子が前記第4のコイルの他方の端子に接続される第2の論理和演算手段と、

一方の端子が前記第1の論理和演算手段の出力に接続され、他方の端子が接地される前記プルアップ抵抗の抵抗値の2倍以上の抵抗値を有する第1のプルダウン抵抗と、

一方の端子が前記第2の論理和演算手段の出力に接続され、他方の端子が接地される前記第1のプルダウン抵抗と同一の抵抗値を有する第2のプルダウン抵抗と、

第1の入力端子が前記第1のプルダウン抵抗の一方の端子に、第2の入力端子が前記第2のプルダウン抵抗の一方の端子に接続される第1の排他的論理和手段と、

前記第1の排他的論理和手段の演算結果に基づいて前記第1、第2、第3および第4のコイルの断線を検出する異常検出手段と、を具備するステッピングモータの駆動装置。

【請求項2】 前記電源バスと前記第1、第2、第3および第4のスイッチング素子との間に設置される過電流検出手段と、

第1の入力端子が前記第1のスイッチング素子の制御端子に接続され、第2の入力端子が前記第3のスイッチング素子の制御端子に接続される第3の論理和演算手段と、

第1の入力端子が前記第2のスイッチング素子の制御端子に接続され、第2の入力端子が前記第4のスイッチング素子の制御端子に接続される第4の論理和演算手段と、

第1の入力端子が前記第3の論理和演算手段に接続され、第2の入力端子が前記第4の論理和演算手段に接続される第5の論理和演算手段と、

第1の入力端子が前記第1の排他的論理和手段の出力に

2

接続され、第2の入力端子が第5の論理和演算手段に接続される第2の排他的論理和演算手段と、

第1の入力端子が前記過電流検出手段の出力に接続され、第2の入力端子が前記第2の排他的論理和演算手段の出力に接続される第6の論理和演算手段と、を具備し、

前記異常検出手段が、前記第6の排他的論理和演算手段の出力に基づいて前記第1、第2、第3および第4のコイルの断線だけでなく前記第1、第2、第3および第4のコイルの短絡をも検出する異常検出手段である請求項1に記載のステッピングモータの駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はステッピングモータの駆動装置に係わり、特にステッピングモータの異常検出機能を有する駆動装置に関する。

【0002】

【従来の技術】 ステッピングモータは、

1. 回転角度が入力パルス数に比例するため、オープンループ制御が可能。
 2. 回転速度が入力パルスの周波数に比例するため、広範囲の回転速度制御が可能。
 3. 入力パルスのない時には停止位置が保持されるため、ブレーキ、ロック機構が不要。
 4. ブラシ等のしゅう動部がないため、信頼性が高い。
 5. パルスで駆動されるため、マイクロコンピュータ等のデジタル素子により直接駆動が可能。
- 等の特徴を有するために、種々の分野で利用されている。

【0003】 ステッピングモータには各種の形式が存在するが、低速での振動を低減し、分解能を高めるために4つのコイルを有する4相ステッピングモータが実用化されている。図4は、従来から使用されている4相ステッピングモータの駆動回路図である。

【0004】 ステッピングモータ10は円筒形の永久磁石であるロータ11と、4つのコイル121、122、123および124を有するステータ12とから構成される。4つのコイル121、122、123および124の一方の端子は接地され、他方の端子はスイッチング部13を介して電源バス14に接続されている。

【0005】 スwitching部13はマイクロコンピュータ15によって制御されるが、マイクロコンピュータ15はバス151を中心として、CPU152、メモリ153、デジタルインターフェイス154およびアナログインターフェイス155から構成されている。即ちスイッチング部13はデジタルインターフェイス154に接続され、マイクロコンピュータ15で発生されるパターンに応じて4つのコイル121、122、123および124の1つあるいは2つが順次励磁される。

【0006】 4相ステッピングモータにおいては、4つ

(3)

特開平7-99796

3

のコイルの1つが断線あるいは短絡した場合にはステッピングモータの回転応答性が低下し、4つのコイルの2つが同時に断線あるいは短絡した場合にはステッピングモータは動作不能となる。従って駆動回路には、短絡および断線検出回路16が設置されることが普通である。

【0007】短絡および断線検出回路16は電源バス14とスイッチング部13との間に直列に設置される検出抵抗161と、検出抵抗161の両端の電圧を検出するアンプ162とから構成されている。そしてアンプ162の出力電圧が下限しきい値以下である場合にはコイル断線と判断し、上限しきい値以上である場合にはコイル短絡と判断する。

【0008】

【発明が解決しようとする課題】しかしながら上記検出回路は、いわゆるアナログ回路でありアナログ/ディジタル変換器が必要であり高価となることは避けることができなかった。本発明は上記問題点に鑑みなされたものであって、簡易な回路によってコイルの断線あるいは短絡を確実に検出することの可能なステッピングモータの駆動回路を提供することを目的とする。

【0009】

【課題を解決するための手段】第1の発明にかかるステッピングモータの駆動装置は、円筒状のステータの内面に90度間隔に設けられた第1、第2、第3および第4の凸極に巻回されそれぞれの巻線の一方の端子が共通に接地される第1、第2、第3および第4のコイルの他方の端子と電源バスとの間に設置される第1、第2、第3および第4のスイッチング素子と、第1、第2、第3および第4のスイッチング素子に対して2相励磁信号を供給する制御部と、第1、第2、第3および第4のスイッチング素子に並列に設置され、第1、第2、第3および第4のコイルの直流インピーダンスに比較し大である同一の抵抗値を有する第1、第2、第3および第4のブルアップ抵抗と、第1の入力端子が第1のコイルの他方の端子に第2の入力端子が第2のコイルの他方の端子に接続される第1の論理和演算手段と、第1の入力端子が第3のコイルの他方の端子に第2の入力端子が第4のコイルの他方の端子に接続される第2の論理和演算手段と、一方の端子が第1の論理和演算手段の出力に接続され他方の端子が接地されるブルアップ抵抗の抵抗値の2倍以上の抵抗値を有する第1のブルダウ抵抗と、一方の端子が第2の論理和演算手段の出力に接続され他方の端子が接地される第1のブルダウ抵抗と同一の抵抗値を有する第2のブルダウ抵抗と、第1の入力端子が第1のブルダウ抵抗の一方の端子に第2の入力端子が第2のブルダウ抵抗の一方の端子に接続される第1の排他的論理和手段と、第1の排他的論理和手段の演算結果に基づいて第1、第2、第3および第4のコイルの断線を検出する異常検出手段と、を具備する。

【0010】第2の発明にかかるステッピングモータの

4

駆動装置は、電源バスと前記第1、第2、第3および第4のスイッチング素子との間に設置される過電流検出手段と、第1の入力端子が前記第1のスイッチング素子の制御端子に接続され第2の入力端子が第3のスイッチング素子の制御端子に接続される第3の論理和演算手段と、第1の入力端子が第2のスイッチング素子の制御端子に接続され第2の入力端子が第4のスイッチング素子の制御端子に接続される第4の論理和演算手段と、第1の入力端子が第3の論理和演算手段に接続され第2の入力端子が第4の論理和演算手段に接続される第5の論理和演算手段と、第1の入力端子が第1の排他的論理和手段の出力に接続され第2の入力端子が第5の論理和演算手段に接続される第2の排他的論理和演算手段と、第1の入力端子が過電流検出手段の出力に接続され第2の入力端子が第2の排他的論理和演算手段の出力に接続される第6の論理和演算手段と、を具備し、異常検出手段が第6の論理和演算手段の出力に基づいて第1、第2、第3および第4のコイルの断線だけでなく第1、第2、第3および第4のコイルの短絡をも検出する異常検出手段である。

【0011】

【作用】第1の発明にかかるステッピングモータの駆動装置にあっては、コイルが断線した時にはスイッチング素子がオフ状態になってもコイルの他の一方の端子は高電位に保持されるため断線検知が可能となり、4つのコイルの断線検知を1入力の異常検出手段で行うことができる。

【0012】第2の発明にかかるステッピングモータの駆動装置にあっては、過電流検出手段によって検出されるコイルの短絡情報をコイルの断線情報に重畳して異常検出手段に入力することができる。

【0013】

【実施例】図1は、本発明にかかるステッピングモータの駆動装置の実施例の回路図であって、ステッピングモータ10は円柱状のロータ11と、4つの巻線121、122、123および124を有するステータ12とから構成される。第1のコイル121と第2のコイル122とは直列に接続され、その接続点は接地されている。

【0014】第3のコイル123と第4のコイル124とも直列に接続され、その接続点も接地されている。第1、第2、第3および第4のコイル121、122、123および124の接地されていない端子のそれぞれは、スイッチング素子である第1、第2、第3および第4のMOSFET131、132、133および134のドレイン端子に接続される。

【0015】第1、第2、第3および第4のMOSFET131、132、133および134のソース端子は、短絡電流検出回路16を介して共通に電源バス14に接続される。第1、第2、第3および第4のMOSFET131、132、133および134のそれぞれに

(4)

特開平7-99796

5

並列にプルアップ抵抗135、136、137および138が接続される。

【0016】第1、第2、第3および第4のコイル121、122、123および124の接地されていない端子のそれぞれには、第1、第2、第3および第4のダイオード171、172、173および174のアノードが接続される。また第1および第3のダイオード171および173のカソードは共通に接続され、第1のプルダウン抵抗175を介して接地される。さらに第2および第4のダイオード172および174のカソードは共

通に接続され、第2のプルダウン抵抗176を介して接地される。

【0017】第1および第3のダイオード171、173の並列接続は第1の論理和演算手段を、第2および第4のダイオード172、174の並列接続は第2の論理和演算手段を構成する。第1、第2、第3および第4のMOSFET131、132、133および134のゲートはマイクロコンピュータ15のデジタルインターフェイスに接続され、マイクロコンピュータ15で発生される2相励磁パターンに従ってオンオフ制御される。

【0018】なおプルアップ抵抗の抵抗値 Z_u は、ステッピングモータのコイルの直流インピーダンス Z_l に比較して十分大とするとともにプルダウン抵抗の抵抗値 Z_d の1/2倍以下の値とする。例えば第1のMOSFET131のゲートにオン指令が与えられると、電源バス14から第1のコイル121に電力が供給され、第1のコイル121の非接地端子は“H”レベルとなる。

【0019】第1のMOSFET131がオフの時には、

$$Z_u \gg Z_l$$

であるため、第1のコイル121の非接地端子は“L”レベルとなる。第1のコイル121に断線が発生すると、第1のMOSFET131がオフとなっても第1のコイル121の非接地端子の電圧は“H”レベルを維持する。

【0020】第1および第3のダイオード171および173の並列接続で構成される第1の論理和回路の出力は第1の排他的論理和回路177の第1の入力端子に接続され、第2および第4のダイオード172および174の並列接続で構成される第2の論理和回路の出力は第1の排他的論理和回路177の第2の入力端子に接続される。

【0021】図2は第1の発明にかかるステッピングモータ駆動装置のタイミング図であって上から順に、第1のコイル121への印加電圧 V_1 、第3のコイル123への印加電圧 V_3 、第2のコイル122への印加電圧 V_2 、第4のコイル124への印加電圧 V_4 、第1および第3のダイオード171および173の並列接続で構成される第1の論理和回路の出力 O_1 、第2および第4のダイオード172および174の並列接続で構成される

6

第2の論理和回路の出力 O_2 、および第1の排他的論理和回路の出力 XO_1 を示す。

【0022】即ち正常動作時においては、 V_1 、 V_2 、 V_3 および V_4 は周期4T、デューティ比50%のパルスであり、 O_1 および O_2 は周期4T、デューティ比75%のパルスであり、 XO_1 は周期2T、デューティ比50%のパルスである。時刻 t_1 で第1のコイル121に断線が発生したとすると、 XO_1 の周期およびデューティ比が変化する。

【0023】従って第1の排他的論理和回路177の出力 XO_1 の周期およびデューティ比をデジタルインターフェイスを介してマイクロコンピュータ15で監視することにより、ステッピングモータ10の第1、第2、第3および第4のコイル121、122、123および124の断線を検出することが可能である。さらにステッピングモータ10が停止中は V_1 、 V_2 、 V_3 および V_4 は全て“L”レベルであるが、例えば時刻 t_2 において第1のコイル121に断線が発生すると、 V_1 は“H”レベルとなり第1の排他的論理和回路177の出力 XO_1 は“H”レベルに維持される。

【0024】従ってステッピングモータ10停止中での断線も検出可能である。第2の発明にかかるステッピングモータ10の第1、第2、第3および第4のコイル121、122、123および124の短絡は、電流検出抵抗161、第1のバイアス抵抗162、第2のバイアス抵抗163およびPNPトランジスタ164で構成される短絡検出回路16によって検出される。

【0025】即ちコイルの短絡が発生すると電流検出抵抗161を流れる電流が大となり、電流検出抵抗161の両端に発生する電圧も大となる。従って第1および第2のバイアス抵抗162および163で定まるPNPトランジスタ164のベースに対するバイアス電圧がしきい値以上となり、PNPトランジスタ164がオンとなり、コレクタ電圧が“H”レベルとなる。

【0026】マイクロコンピュータ15のデジタルインターフェイスの1つのポートでコイルの断線および短絡を検出するため、第3から第6の論理和回路181から184および第2の排他的論理和回路185が追設される。第3の論理和回路181の第1の入力端子には第1のMOSFET131に対するゲート信号が、第2の入力端子には第2のMOSFET132に対するゲート信号が接続される。

【0027】第4の論理和回路182の第1の入力端子には第3のMOSFET133に対するゲート信号が、第2の入力端子には第4のMOSFET134に対するゲート信号が接続される。第5の論理和回路183の第1の入力端子には第3の論理和回路181の反転出力が、第2の入力端子には第4の論理和回路182の反転出力が接続される。

【0028】第2の排他的論理和回路185の第1の入

(5)

特開平7-99796

7

力端子には第5の論理和回路183の出力が、第2の入力端子には第1の排他的論理和回路177の出力が接続される。さらに第6の論理和回路184の第1の入力端子にはPNPトランジスタ164のコレクタが、第2の入力端子には第2の排他的論理和回路185の出力が接続される。

【0029】そして第6の論理和回路184の反転出力がマイクロコンピュータ15のデジタル155に接続される。2相励磁においては、第1のMOSFET131に対するゲート信号と第2のMOSFET132に対するゲート信号とは、ならびに第3のMOSFET133に対するゲート信号と第4のMOSFET134に対するゲート信号とは逆位相であるため、正常に2相励磁が行われている限り第3および第4の論理和回路181および182の反転出力は“L”レベルであり、第5の論理和回路183の出力は“L”レベルであるが、一相通電時や出力オフ時には“H”レベルとなる。

【0030】従って第2の排他的論理和回路185の出力は、一相通電時や出力オフ時には第1の排他的論理和回路177の出力を反転したパルスとなる。さらに短絡検出回路16で短絡が検出されない場合は、第6の論理和回路184の第1の入力端子は“L”レベルに維持されるため、第6の論理和回路184の反転出力は第1の排他的論理和回路177の出力を反転したパルスとなる。

【0031】逆に短絡検出回路16で短絡が検出された場合は、第6の論理和回路184の第1の入力端子は“H”レベルとなるため第6の論理和回路184の反転出力は“L”レベルを維持する。従ってマイクロコンピュータ15は第6の論理和回路184の反転出力を監視することにより、ステッピングモータのコイルの断線だけでなく、コイルの短絡をも検出することが可能となる。

【0032】図3は第2の発明にかかるステッピングモータ駆動装置のタイミング図であって、上から順に第1のコイル121への印加電圧V1、第3のコイル123への印加電圧V3、第2のコイル122への印加電圧V2、第4のコイル124への印加電圧V4、第2の排他的論理和回路185の出力XO2、短絡検出回路16の出力S、および第6の論理和回路184の反転出力O6を示す。

8

【0033】即ち、時刻 t_1 におけるステッピングモータ動作中のコイル断線および時刻 t_2 における停止中のコイル断線は第1の発明と同様に検出可能である。さらに時刻 t_3 において2相励磁中に第1のコイル121に短絡が発生した場合には、第6の論理和回路184の反転出力O6は本来“H”レベルを維持するべきタイミングで“L”レベルとなることから検出が可能となる。

【0034】また時刻 t_4 において第1のコイル121の1相励磁中に短絡が発生した場合には、第6の論理和回路184の反転出力O6は本来“H”レベルを維持するべきであるにもかかわらず、“L”レベルに反転することから検出が可能となる。

【0035】

【発明の効果】第1の発明にかかるステッピングモータの駆動装置によれば、マイクロコンピュータの1つのデジタル入力ポートを使用する簡易な構成によって、ステッピングモータの4つのコイルの断線を検出することが可能となる。第2の発明にかかるステッピングモータの駆動装置によれば、マイクロコンピュータの1つのデジタル入力ポートを使用する簡易な構成によって、ステッピングモータの4つのコイルの断線および短絡を検出することが可能となる。

【図面の簡単な説明】

【図1】図1は、本発明の実施例の構成図である。

【図2】図2は、第1の発明のタイミング図である。

【図3】図3は、第2の発明のタイミング図である。

【図4】図4は、従来から使用されている4相ステッピングモータの駆動回路図である。

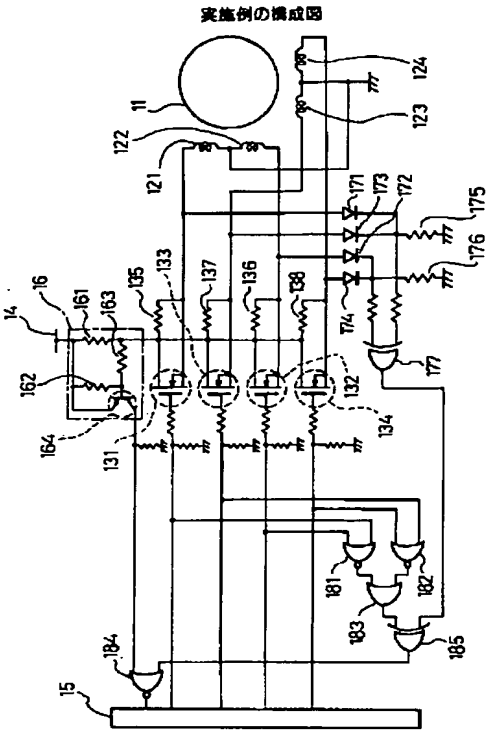
【符号の説明】

11…ロータ
121、122、123、124…コイル
131、132、133、134…MOSFET
135、136、137、138…プルアップ抵抗
14…電源バス
15…マイクロコンピュータ
16…短絡検出回路
171、172、173、174…ダイオード
175、176…プルダウン抵抗
177…第1の排他的論理和回路
181、182、183、184…論理和回路
185…第2の排他的論理和回路

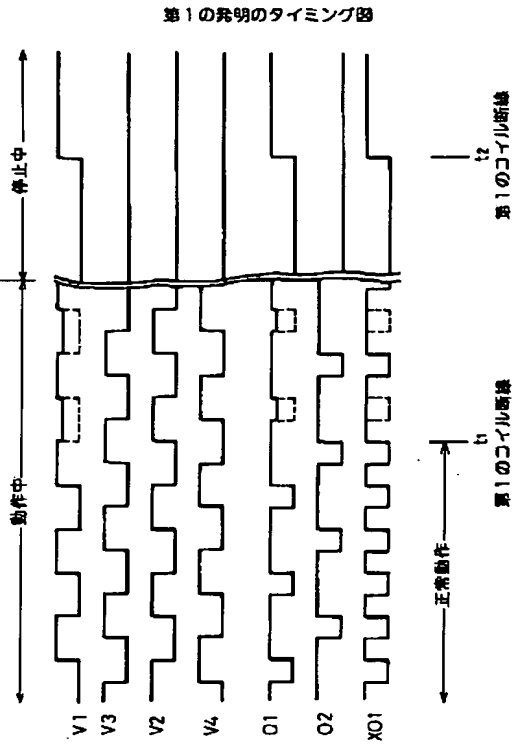
(6)

特開平7-99796

【図1】



【図2】

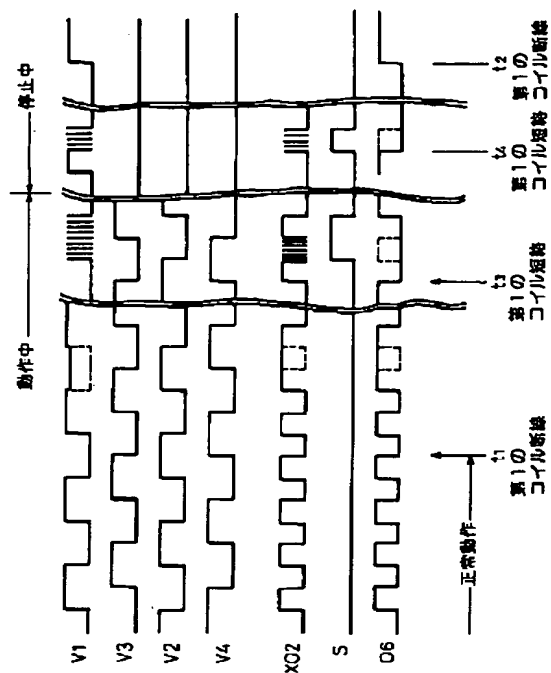


(7)

特開平7-99796

【図3】

第2の発明のタイミング図



【図4】

従来から使用されている相ステップモータの駆動回路

